



No.: WMP-SME-352

2811
531-2

I hereby certify that this correspondence is being deposited with the United States Postal Service as First Class Mail in an envelope addressed to the Assistant Commissioner for Patents, Washington, D.C. 20231, on the date indicated below.

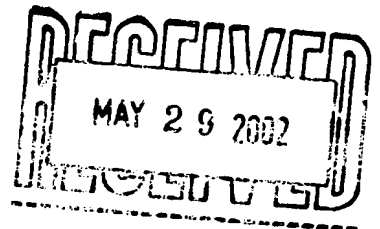
By: Markus Nolf Date: March 7, 2002

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Klemens Ferstl et al.
Applic. No. : 10/022,605
Filed : December 17, 2001
Title : Multichip Module for LOC Mounting and Method for Producing the Multichip Module
Art Unit : 2811

CLAIM FOR PRIORITY

Hon. Commissioner of Patents and Trademarks,
Washington, D.C. 20231



Sir:

Claim is hereby made for a right of priority under Title 35, U.S. Code, Section 199, based upon the German Patent Application 199 27 747.8, filed June 17, 1999.

A certified copy of the above-mentioned foreign patent application is being submitted herewith.

Respectfully submitted,

Markus Nolf
For Applicants

MARKUS NOLFF
REG. NO. 37,006

Date: March 7, 2002

Lerner and Greenberg, P.A.
Post Office Box 2480
Hollywood, FL 33022-2480
Tel: (954) 925-1100
Fax: (954) 925-1101

/kf

RECEIVED
MAR 14 2002
TC 2800 MAIL ROOM

RECEIVED
APR 22 2002
TECHNOLOGY CENTER 2800



BUNDESREPUBLIK DEUTSCHLAND



Prioritätsbescheinigung über die Einreichung einer Patentanmeldung

Aktenzeichen: 199 27 747.8

Anmeldetag: 17. Juni 1999

Anmelder/Inhaber: Siemens Aktiengesellschaft, München/DE

Bezeichnung: Multichipmodul für die LOC-Montage sowie Verfahren zu dessen Herstellung

IPC: H 01 L 25/065

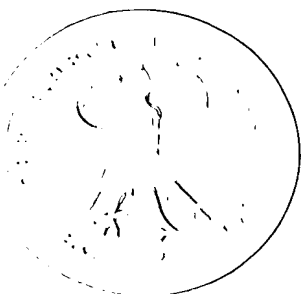
RECEIVED
MAR 14 2002
TC 2800 MAIL ROOM

Die angehefteten Stücke sind eine richtige und genaue Wiedergabe der ursprünglichen Unterlagen dieser Patentanmeldung.

München, den 14. Februar 2002
Deutsches Patent- und Markenamt
Der Präsident
Im Auftrag

Brand

RECEIVED
APR 22 2002
TECHNOLOGY CENTER 2800





~~Selektionsverfahren~~
~~Verfahren zur Selektion von~~

~~17.03.99~~

1

Beschreibung

Multichipmodul für die LOC-Montage sowie Verfahren zu dessen Herstellung

5

Die Erfindung betrifft ein Multichipmodul für die LOC-Montage gemäss Oberbegriff des Patentanspruchs 1 sowie ein Verfahren zu dessen Herstellung gemäss Oberbegriff des Patentanspruchs 11.

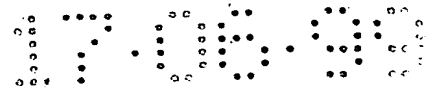
10

Bei der LOC-Montage (LOC steht für „Leads-On-Chip“) von Halbleiterchips wird der einzelne Halbleiterchip mittels eines Befestigungsmittels (z.B. in Form eines doppelseitig mit Thermoplastkleber beschichteten Polyimidträgerbandes („Tape“)) mit einem Substratträger in Form eines Anschlussrahmens („Leadframe“) verbunden, bei dem mehrere Anschlussleitungen („Leads“) mit ihren freien Enden in den Anschlussrahmen hineinragen. Der Halbleiterchip liegt bei dieser Montageart im Anschlussrahmen unterhalb der freien Enden dieser Anschlussleitungen und ist mit dem dazwischen liegenden und doppelseitig klebenden Polyimidträgerband an diese freien Enden der Anschlussleitungen geklebt. Über Bonddrahtverbindungen („Bonds“) werden die einzelnen Anschlussleitungen anschließend mit entsprechenden metallischen Anschlussflecken („Pads“) auf der Oberseite des Halbleiterchips z.B. mittels dünner Golddrähtchen elektrisch verbunden („Bonden“). Der Halbleiterchip selbst ist nach seiner Herstellung (und vor der LOC-Montage) üblicherweise zunächst zusammen mit vielen anderen Halbleiterchips auf einer Waferscheibe angeordnet und wird vor seiner Verwendung in einer elektrischen oder elektronischen Schaltung, d.h. vor der LOC-Montage aus dieser Waferscheibe ausgesägt.

30

Bei der Montage von mehreren solcher vereinzelter Halbleiterchips in einem gemeinsamen Anschlussrahmen kann es durch Fertigungstoleranzen bei der Montage zu einem unerwünschten Versatz der einzelnen Chips untereinander kommen, der entsprechende

35

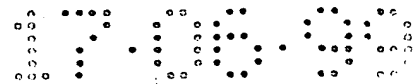


chende Ungenauigkeiten und Fehler vor allem beim nachfolgenden Herstellen der Bondverbindungen zur Folge hat. Dies kann vor allem bei grossen Chipflächen zu wirtschaftlich nicht mehr vertretbaren Ausfällen im Montageprozess führen, wenn
5 entsprechende Gehäusetoleranzen überschritten werden. Beim Herstellen der Bondverbindungen bei n Chips in einem Anschlussrahmen sind ausserdem im allgemeinen auch n aufeinanderfolgende Verbindungsschritte („Diebond-Schritte“) erforderlich, was zu entsprechend langen Produktionszeiten führt.
10 Ferner können in solchen Fällen auch Probleme mit der Anbindung der einzelnen Chips in dem Anschlussrahmen auftreten, da die Chips je nach Anordnung der freien Enden der Anschlussleitungen im Anschlussrahmen in der Regel nur einseitig verbunden und damit während dieser Zeit mechanisch einseitig be-
15 lastet werden.

Die Aufgabe der Erfindung besteht daher darin, einerseits ein für die LOC-Montage geeignetes Multichipmodul mit mehreren Halbleiterchips in einem Anschlussrahmen zu schaffen, bei dem
20 die Zahl der Ausfälle während der Montage möglichst gering ist; ferner sollte auch die Montagezeit gegenüber herkömmlichen Montagemethoden verringert werden können, und andererseits ein Verfahren zur Herstellung eines solchen für die LOC-Montage geeigneten Multichipmoduls anzugeben, das möglichst einfach und kostengünstig realisiert werden kann.
25

Die erfindungsgemäße Lösung dieser Aufgabe wird in Bezug auf das zu schaffende Multichipmodul durch die Merkmale des Patentanspruchs 1 und in Bezug auf das anzugebende Verfahren
30 durch die Merkmale des Patentanspruchs 11 wiedergegeben. Die übrigen Patentansprüche (Ansprüche 2 bis 10) enthalten vorteilhafte Aus- und Weiterbildungen des erfindungsgemäßen Multichipmoduls.

35 Der Kern der Erfindung besteht darin, die Waferscheibe so zu zerteilen (z.B. zu zersägen), dass die für die Montage in dem Anschlussrahmen vorgesehenen Halbleiterchips (oder zumindest



ein Teil dieser Chips) auf einem gemeinsamen, zusammenhängenden Teil der Waferscheibe verbleiben, der dann bei der LOC-Montage als ganzes in den Anschlussrahmen eingebracht wird. Anschließend werden die Anschlussleitungen mit ihren freien

5 Enden, wie üblich, an den vorgesehenen Stellen auf der Oberseite der Chips befestigt (z.B. geklebt) und danach mit den Anschlussflecken auf der Oberseite der Chips elektrisch verbunden (z.B. mittels Bonddrahtverbindungen).

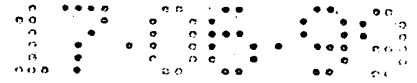
- 10 Ein wesentlicher Vorteil der erfindungsgemäßen Lösung ist hauptsächlich darin zu sehen, dass es keinen säge- und/oder montagebedingten Versatz zwischen den einzelnen Halbleiterchips gibt, der sich vor allem beim Bonden ungünstig auswirken würde. Generell können hierdurch Montagetoleranzen (z.B.
- 15 beim Einsetzen des Waferscheibenteils mit den Chips in den Anschlussrahmen) erheblich, wenn nicht sogar auf ein vernachlässigbares Mass vermindert werden.

- Ein weiterer Vorteil ist darin zu sehen, dass nur noch ein
- 20 Bondvorgang pro Anschlussrahmen erforderlich ist, so dass auch die Montagezeiten erheblich verringert werden können.

Durch die vorgegebene unveränderbare Anordnung der Chips untereinander auf dem gemeinsamen, zusammenhängenden Wafer-

25 scheibenteil ist schliesslich die Befestigung (z.B. die Verklebung) der freien Enden der Anschlussleitungen auf der Oberseite der Chips entsprechend einfach, schnell und genau (d.h. mit entsprechend reduzierten Toleranzen) durchführbar.

- 30 In einer vorteilhaften Ausführungsform des erfindungsgemäßen Multichipmoduls ist vorgesehen, dass die seitliche Kontur des gemeinsamen, zusammenhängenden Waferscheibenteils mit den darauf befindlichen Chips an die seitliche Kontur des Anschlussrahmens angepasst ist, z.B. dergestalt, dass die bei-
- 35 den Konturen umlaufend überall den gleichen oder zumindest annähernd den gleichen Abstand voneinander haben.



Der Vorteil dieser Lösung besteht darin, dass durch diese Konturanpassung die Montagetoleranzen noch weiter vermindert und inkorrekte Plazierungen der Chips im Anschlussrahmen verhindert werden können.

5

Im Hinblick auf die heute übliche rechteckige oder quadratische Form/Kontur der Chips hat es sich als zweckmässig erwiesen, dass auch der Anschlussrahmen eine rechteckförmige oder quadratische seitliche Kontur aufweist.

10

Dies ist vor allem dann von Vorteil, wenn die Anzahl der in dem Anschlussrahmen anzuordnenden Chips 2 oder ein Vielfaches von 2 beträgt, da dann in der Regel die Chips auf der Waferscheibe so angeordnet werden können, dass der gemeinsame Teil der Scheibe, der in den Anschlussrahmen eingebracht werden soll, ebenfalls eine rechteckförmige oder quadratische Kontur aufweist.

15

Im folgenden wird die Erfindung anhand der Figuren näher erläutert. Es zeigen

20

Fig.1 einen Teil einer bevorzugten Ausführungsform des erfindungsgemäßen Multichipmoduls mit einem Halbleiterchippaar auf einem gemeinsamen Teil der Waferscheibe,

25

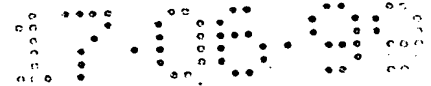
Fig.2 eine erste vorteilhafte Ausbildung des erfindungsgemäßen Multichipmoduls mit dem Halbleiterchippaar gemäß Fig.1,

30

Fig.3 eine zweite vorteilhafte Ausbildung des erfindungsgemäßen Multichipmoduls mit dem Halbleiterchippaar gemäß Fig.1,

35

Fig.4 eine dritte vorteilhafte Ausbildung des erfindungsgemäßen Multichipmoduls mit dem Halbleiterchippaar gemäß Fig.1.

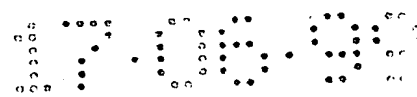


5

Fig.1 zeigt einen Teil 1 einer Waferscheibe mit zwei nebeneinander angeordneten rechteckförmigen Halbleiterchips 11 und 12, auf deren Oberseite eine Reihe von metallischen Anschlussflecken 110 und 120 angeordnet sind. Dieser (für beide Chips 11 und 12) gemeinsame, zusammenhängende Teil 1 der Waferscheibe kann z.B. durch Aussägen aus der Waferscheibe entnommen werden.

In der Ausführungsform des Multichipmoduls in Fig.2 ist dieser gemeinsame, zusammenhängende Teil 1 der Waferscheibe mit den beiden Chips 11 und 12 in einem Anschlussrahmen angeordnet, bei dem von zwei sich gegenüberliegenden Seiten Anschlussleitungen 2 herangeführt sind, die mit ihren freien Enden 20 über den Chips 11 und 12 in den Anschlussrahmen hineinragen und jeweils mittels eines Streifens 30 eines doppelseitig mit Thermoplastkleber beschichteten Polyimidträgerbandes 3 auf die Oberseite des entsprechenden Chips 11 bzw. 12 geklebt sind. In einem nachfolgenden Montageschritt, der hier nicht gezeigt ist, werden dann die freien Enden 20 der Anschlussleitungen 2 durch Bonden (z.B. mittels dünner Bonddrähte aus Gold) mit den Anschlussflecken 110 bzw. 120 auf der Oberseite des jeweiligen Halbleiterchips 11 bzw. 12 elektrisch verbunden.

Die Ausführungsform des Multichipmoduls in Fig.3 unterscheidet sich von der Ausführungsform des Moduls in Fig.2 lediglich dadurch, dass zwei der Anschlussleitungen 2 mit ihren freien Enden 21 verlängert sind und mit entsprechend langen Klebestreifen 31 an beiden Chips 11 bzw. 12 festgeklebt sind, wobei die Enden 21 und der darunter befindliche Klebestreifen 31 schwalbenschwanzförmig aufgespalten sind. Die übrigen Teile des Moduls in Fig.2 stimmen mit den entsprechenden Teilen des Moduls in Fig.1 überein und tragen deshalb auch die gleichen Bezugszeichen wie in Fig.1. Bezüglich dieser für beide Figuren gemeinsamen Teile wird deshalb auf die Beschreibung zu Fig.1 verwiesen.



6

Der wesentliche Vorteil der Ausführungsform des Moduls in Fig.3 ist darin zu sehen, dass eine zusätzliche Stabilisierung des Waferscheibenteils zum Leadframerahmen erreicht wird.

5

Die Ausführungsform des Multichipmoduls in Fig.4 schliesslich unterscheidet sich von der Ausführungsform des Moduls in Fig. 3 lediglich dadurch, dass zusätzlich von den beiden bislang freien Seiten des Anschlussrahmens jeweils eine weitere Anschlussleitung 2 herangeführt ist, deren freies Ende 22 T-förmig ausgebildet ist und entsprechend mittels eines T-förmig ausgebildeten Klebestreifens 32 auf der Oberseite von beiden Chips 11 bzw. 12 festgeklebt ist. Die übrigen Teile des Moduls in Fig.4 stimmen mit den entsprechenden Teilen des Moduls in Fig.3 überein und tragen deshalb auch die gleichen Bezugszeichen wie in Fig.1 und 2. Bezüglich dieser für alle drei Figuren gemeinsamen Teile wird deshalb auf die Beschreibung zu Fig.1 und 2 verwiesen.

20

Der wesentliche Vorteil der Ausführung des Moduls in Fig.4 ist darin zu sehen, dass eine weitere Stabilisierung des Waferscheibenteils erreicht wird.

25

Die Erfindung ist nicht auf die dargestellten Ausführungsbeispiele beschränkt, sondern vielmehr auf weitere übertragbar.

30

So ist es z.B. möglich, anstelle der rechteckförmigen oder quadratischen seitlichen Konturen a) des gemeinsamen, zusammenhängenden Teils 1 der Waferscheibe mit den darauf befindlichen Chips 11 bzw. 12 und/oder b) des Anschlussrahmens eine andere Kontur zu wählen, die z.B. als Vieleck ausgebildet ist, das z.B. nur rechte Winkel aufweist. Dies kann vor allem dann von Vorteil sein, wenn die Anzahl der zu montierenden Chips pro Anschlussrahmen kein Vielfaches von 2 ist bzw. eine ungerade Zahl darstellt und/oder die Chips unterschiedliche Größen aufweisen. Im Falle von drei Chips z.B. wäre eine L-förmige seitliche Kontur denkbar. Natürlich können diese drei

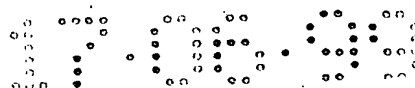
35

17.08.99

7

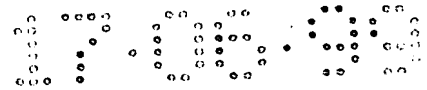
Chips auch nebeneinander auf einem rechteckförmigen oder ggf. sogar quadratischen gemeinsamen, zusammenhängenden Teil der Waferscheibe angeordnet werden.

- 5 Denkbar ist auch, weitere Anschlussleitungen mit ihren freien Enden an beiden Chips oder ggf. an mehr als zwei Chips zu befestigen (z.B. festzukleben).



Patentansprüche

1. Multichipmodul für die LOC-Montage, bei welchem Modul mehrere vor der LOC-Montage auf einer Waferscheibe angeordnete Halbleiterchips nebeneinander in einem Anschlussrahmen angeordnet sind,
5 dadurch gekennzeichnet, dass ein Teil der oder alle in dem Anschlussrahmen angeordneten Halbleiterchips (11, 12) auch nach der LOC-Montage des Moduls auf einem gemeinsamen, zusammenhängenden Teil (1) der Waferscheibe angeordnet sind.
10
2. Multichipmodul nach Anspruch 1,
 dadurch gekennzeichnet, dass die
15 seitliche Kontur des gemeinsamen, zusammenhängenden Teils (1) der Waferscheibe mit den Halbleiterchips (11, 12) an die seitliche Kontur des Anschlussrahmens angepasst ist.
3. Multichipmodul nach Anspruch 2,
20 dadurch gekennzeichnet, dass die seitliche Kontur des gemeinsamen, zusammenhängenden Teils (1) der Waferscheibe mit den Halbleiterchips (11, 12) und die seitliche Kontur des Anschlussrahmens umlaufend einen konstanten oder zumindest annähernd konstanten Abstand voneinander haben.
25
4. Multichipmodul nach einem der Ansprüche 2 oder 3,
 dadurch gekennzeichnet, dass die seitliche Kontur des Anschlussrahmens und/oder des gemeinsamen, zusammenhängenden Teils (1) der Waferscheibe mit den Halbleiterchips (11, 12) eine rechteckige oder quadratische Form aufweist.
30
5. Multichipmodul nach einem der vorhergehenden Ansprüche,
35 dadurch gekennzeichnet, dass die Zahl der auf dem gemeinsamen, zusammenhängenden Teil (1) der Waferscheibe angeordneten Halbleiterchips $2n$ beträgt mit n gleich



9

einer natürlichen Zahl grösser oder gleich 1, vorzugsweise gleich 1 oder 2 oder 3 oder 4.

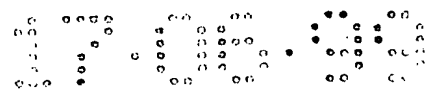
6. Multichipmodul nach einem der vorhergehenden Ansprüche,
5 d a d u r c h g e k e n n z e i c h n e t, dass der Anschlussrahmen mehrere seitlich in den Anschlussrahmen hineinragende Anschlussleitungen (2) aufweist, dass die Anschlussleitungen (2) nach Abschluss der LOC-Montage an ihren in den Anschlussrahmen hineinragenden freien Enden (20; 20, 21; 20,
10 21, 22) mit Hilfe von Befestigungsmitteln (3) auf der Oberseite der einzelnen Halbleiterchips (11, 12) befestigt und mit Hilfe von Bondverbindungen mit entsprechenden Anschlussflecken (110, 120) auf der Oberseite der einzelnen Halbleiterchips (11, 12) elektrisch verbunden sind.

15

7. Multichipmodul nach Anspruch 6,
d a d u r c h g e k e n n z e i c h n e t, dass als Befestigungsmittel (3) doppelseitig mit Thermoplastkleber beschichtete Trägerbänder (30; 30, 31; 30, 31, 32), vorzugsweise aus Polyimid, vorgesehen sind, die zwischen der Oberseite
20 des entsprechenden Halbleiterchips (11, 12) und der Unterseite der freien Enden (20; 20, 21; 20, 21, 22) der Anschlussleitungen (2) angeordnet sind.

8. Multichipmodul nach einem der Ansprüche 6 oder 7,
d a d u r c h g e k e n n z e i c h n e t, dass ein ausgewählter Teil der freien Enden (21; 21, 22) der Anschlussleitungen (2) an den Oberseiten von mindestens zwei Halbleiterchips (11, 12) befestigt und/oder mit den Anschlussflecken
30 (110, 120) von mindestens zwei Halbleiterchips (11, 12) elektrisch verbunden sind.

9. Multichipmodul nach Anspruch 8,
d a d u r c h g e k e n n z e i c h n e t, dass die freien
35 Enden des ausgewählten Teils der freien Enden (21; 21, 22) der Anschlussleitungen (2) schwalbenschwanzförmige (21) oder T-förmige (22) Verzweigungen aufweisen und dass diese Ver-



10

zweigungen jeweils an mindestens zwei Halbleiterchips (11, 12) befestigt sind.

10. Multichipmodul nach einem der Ansprüche 6 bis 9,
5 d a d u r c h g e k e n n z e i c h n e t, dass die freien Enden (20; 20, 21; 20, 21, 22) der Anschlussleitungen (2) in ihrer Anordnung im Anschlussrahmen eine Spiegel- oder Rotations-Symmetrie aufweisen.
- 10 11. Verfahren zur Herstellung eines Multichipmoduls für die LOC-Montage nach einem der vorhergehenden Ansprüche, bei welchem Verfahren mehrere vor der LOC-Montage auf einer Waferscheibe angeordnete Halbleiterchips nebeneinander in einem Anschlussrahmen angeordnet werden,
15 d a d u r c h g e k e n n z e i c h n e t, dass die in dem Anschlussrahmen realisierte Anordnung der Halbleiterchips (11, 12) in dieser Form bereits auf der Waferscheibe realisiert wird und dass der diese Anordnung der Halbleiterchips (11, 12) aufweisende Teil der Waferscheibe als gemeinsamer, zusammenhängender Teil (1) aus der Waferscheibe herausgetrennt und in dem Anschlussrahmen eingesetzt wird.
20

17.05.99

11

Zusammenfassung

Multichipmodul fuer die LOC-Montage und Verfahren zu dessen Herstellung

5

Die Erfindung betrifft ein Multichipmodul fuer die LOC-Montage, bei dem mehrere vor der LOC-Montage auf einer Waferscheibe angeordnete Halbleiterchips nebeneinander in einem Anschlussrahmen angeordnet sind, sowie ein Verfahren zu dessen Herstellung.

10

Um die Zahl der Ausfälle während der Montage möglichst gering zu halten und auch die Montagezeit gegenüber herkömmlichen Montagethoden verringern zu können, wird nach der Erfindung vorgeschlagen, dass ein Teil der oder alle in dem Anschlussrahmen angeordneten Halbleiterchips auch nach der LOC-Montage des Moduls auf einem gemeinsamen, zusammenhängenden Teil der Waferscheibe angeordnet sind.

15

Dies wird realisiert, indem die gewünschte Anordnung der Chips im Anschlussrahmen bereits auf der Waferscheibe realisiert wird und anschließend der diese Anordnung der Chips aufweisende Teil der Waferscheibe als gemeinsamer, zusammenhängender Teil aus der Waferscheibe herausgetrennt und in den Anschlussrahmen eingesetzt wird.

20
25

FIGUR 1.

1/2

17.05.99

Fig. 1

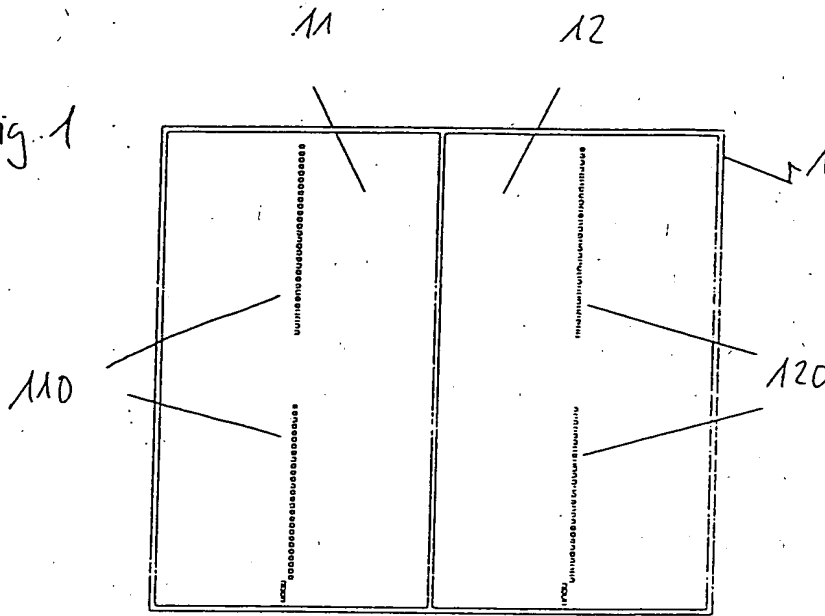
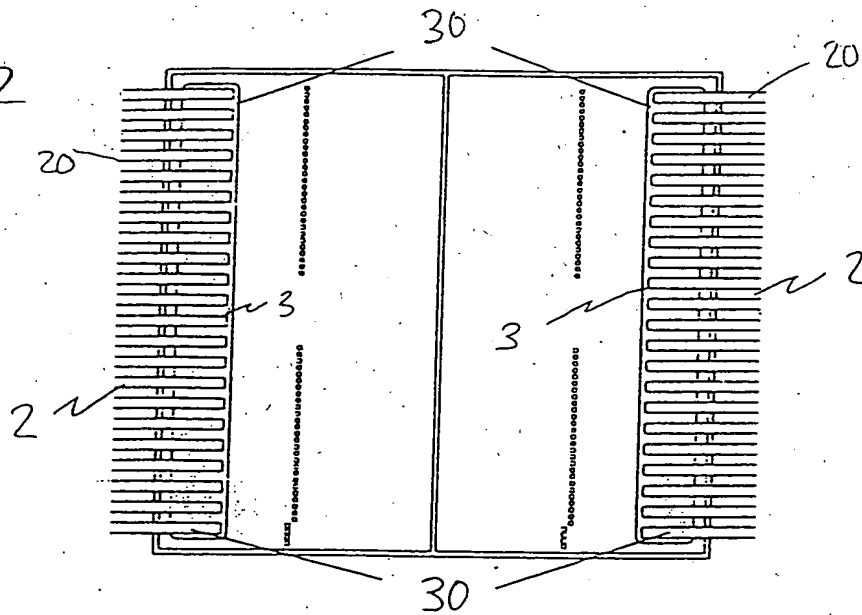
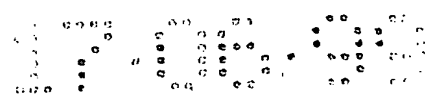


Fig. 2





Bezugszeichenliste

- | | |
|----|---|
| 1 | Teil einer Waferscheibe mit mindestens zwei Halbleiter- |
| | chips 11, 12 |
| 5 | 2 Anschlussleitungen eines Anschlussrahmens für die LOC- |
| | Montage |
| | 3 Befestigungsmittel |
| | 11 Halbleiterchip |
| | 12 Halbleiterchip |
| 10 | 20 freies Ende einer Anschlussleitung 2 |
| | 21 freies Ende einer Anschlussleitung 2 mit schwalben- |
| | schwanzförmiger Verzweigung |
| | 22 freies Ende einer Anschlussleitung 2 mit T-förmiger Ver- |
| | zweigung |
| 15 | 30 Befestigungsmittel 3 in Form eines thermoplastkleberbe- |
| | schichteten Trägerbandes |
| | 31 Befestigungsmittel 3 in Form eines thermoplastkleberbe- |
| | schichteten Trägerbandes |
| | 32 Befestigungsmittel 3 in Form eines thermoplastkleberbe- |
| 20 | schichteten Trägerbandes |
| | 110 Anschlussflecken auf dem Halbleiterchip 11 |
| | 120 Anschlussflecken auf dem Halbleiterchip 12 |

$\frac{1}{2}$

Fig. 1

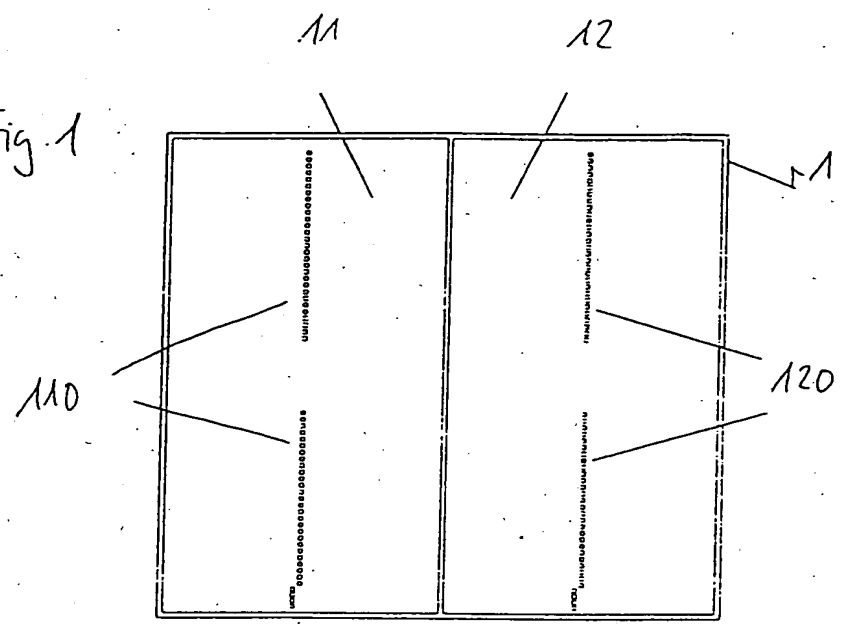
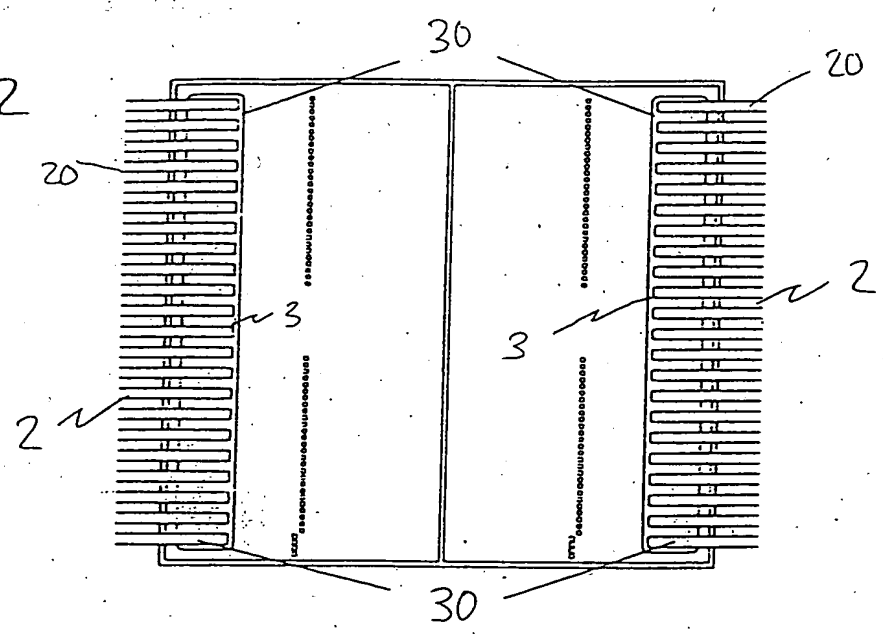


Fig. 2



2/2

17.05.99

Fig. 3

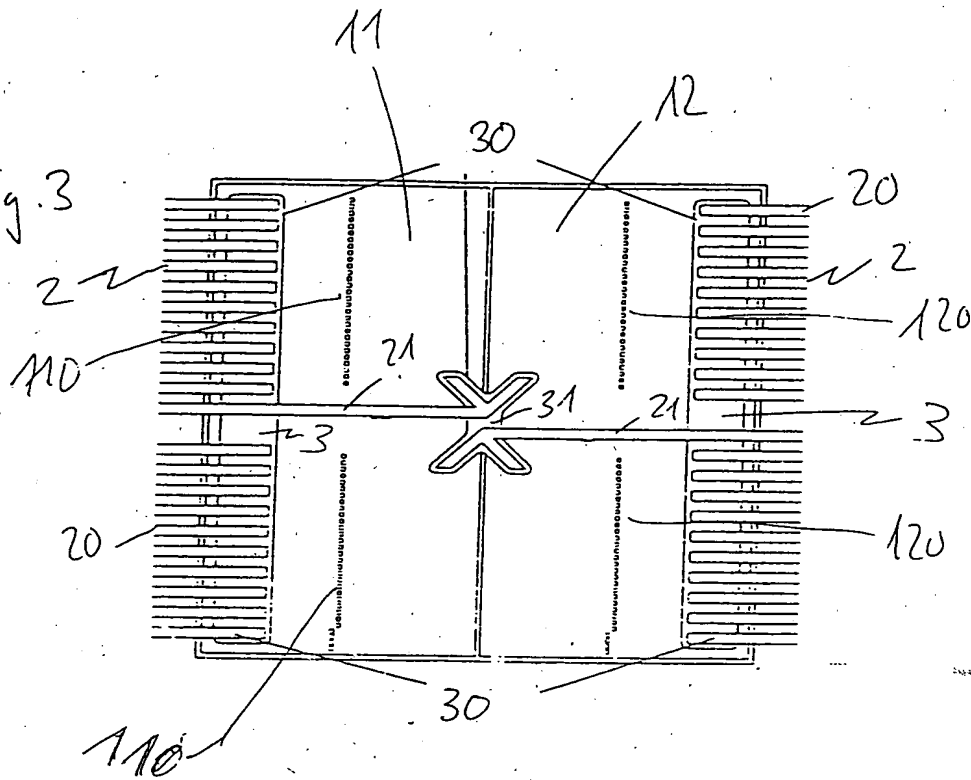


Fig. 4

